

# Cortex™-M0

## Halbtages-Seminar

28. September 2010 in München

### Inhalte

- **Nuvoton Cortex™-M0 Prozessor-Architektur**
  - \_ Register-Organisation, Special Purpose Register
  - \_ Operation Modes (Handler/Thread, privileged/unprivileged)
  - \_ Main Stack, Process Stack
  - \_ Nuvoton Cortex™-M0 Memory Map, System Control Block
- **Exception und Interrupt Handling**
  - \_ Exception Modul
  - \_ Reset, NMI, Hard Fault, SVC Call, PendSV, SysTick, External Interrupts
  - \_ Tail Chaining, Late Arriving
  - \_ Nested Vector Interrupt Controller (NVIC)
- **Reset Modes, Clock Generation, Power Management**
  - \_ NUC1xx Clock Generator
  - \_ Resets und NUC1xx Reset Modes
  - \_ Power Management
  - \_ System Timer
- **Nuvoton CMSIS**
  - \_ CMSIS Structure
  - \_ NUC1xx IRQ Definition
- **HW Design Considerations**
  - \_ Power Supply Scheme
  - \_ Reset
  - \_ LVR & BOD
  - \_ ADC, USB, CAN
  - \_ Design Checklist

### Wer soll teilnehmen?

- Entwickler, SW-Entwickler, Entwicklungsleiter
- Projektleiter, Einkauf, Einkaufsleiter
- Produktmarketing

### Referent

- Christopher Seidl (Atlantik Elektronik)

### Ort und Termin

- München: 28.09.2010, ca. 8.30 Uhr bis 12.30 Uhr

### Preis und Anmeldung

- Pro Teilnehmer 49 Euro zzgl. gesetzl. MwSt. (inkl. NuTiny-SDK)
- Anmeldung online unter [www.atlantikelektronik.de](http://www.atlantikelektronik.de) oder telefonisch bei Christopher Seidl, 089/89 505-109

